

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-316572  
 (43)Date of publication of application : 16.11.1999

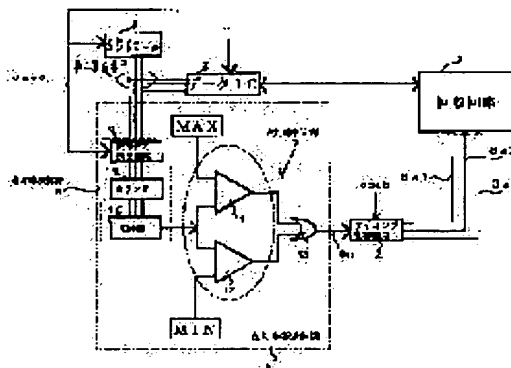
(51)Int. Cl. G09G 3/28  
 G09G 3/20  
 G09G 3/20

(21)Application number : 10-122319 (71)Applicant : NEC CORP  
 (22)Date of filing : 01.05.1998 (72)Inventor : SHIRASAWA YUTAKA  
 OKIYAMA MASAYOSHI

**(54) DRIVING CIRCUIT FOR PLASMA DISPLAY PANEL****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a PDP(plasma display panel) driving circuit which enables efficient electric power regeneration and reuse of regenerated electric power.

**SOLUTION:** This circuit has an illumination rate detecting circuit 5 which receives R.G.B data, calculates the illumination rate of R.G.B data having display levels, and outputs a regeneration control signal of 1st logical level to a timing control circuit 4 in a 1st illumination rate area wherein the illumination rate of a display cell is higher than a specific upper limit or lower than a specific lower limit, and a regeneration control signal of 2nd logical level to the timing control circuit 4 in a 2nd illumination rate area wherein the illumination rate is between the lower limit and upper limit. The timing control circuit 4 controls an electric power recovery circuit 3 to inactivate regeneration of electric power or discharge of electric power when receiving the recovery control signal of the 1st logical level, and to carry out regeneration of electric power and discharge of electric power when receiving the regeneration control signal of 2nd logical level.

**LEGAL STATUS**

[Date of request for examination] 01.05.1998  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3080064  
 [Date of registration] 23.06.2000  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-316572

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/28

3/20

識別記号

6 1 2

6 2 1

F I

G 0 9 G 3/28

3/20

J

6 1 2 U

6 2 1 G

審査請求 有 請求項の数 7 O L (全 9 頁)

(21) 出願番号

特願平10-122319

(22) 出願日

平成10年(1998)5月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 白澤 裕

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 沖山 昌由

東京都港区芝五丁目7番1号 日本電気株式会社内

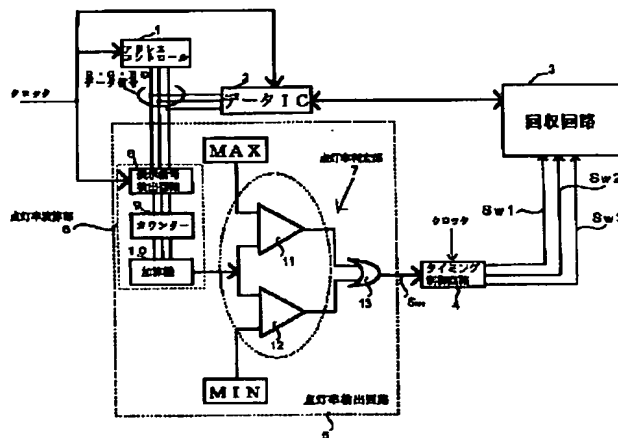
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 プラズマディスプレイパネルの駆動回路

(57) 【要約】

【課題】 効率的な電力回収及び回収電力の再利用をすることができるPDP駆動回路を提供する。

【解決手段】 R・G・Bデータを入力し、表示レベルをもつR・G・Bデータの点灯率を演算し、表示セルの点灯率が所定の上限より高くまたは所定の下限より低い第1の点灯率領域に属するときには第1の論理レベルの回収制御信号をタイミング制御回路4に出力し、該点灯率が下限以上で上限以下の第2の点灯率領域に属するときには、第2の論理レベルの回収制御信号をタイミング制御回路4に出力する点灯率検出回路5を有し、タイミング制御回路4は、第1の論理レベルの回収制御信号を受信した場合には電力回収回路3を制御して電力の回収または電力の放出を非動作にし、第2の論理レベルの回収制御信号を受信した場合には、電力回収回路3を制御して電力の回収動作および電力の放出動作を実行させる。



## 【特許請求の範囲】

【請求項 1】 クロック信号に同期してプラズマディスプレイパネルのアドレス指定された表示セルに書き込む R・G・B データを出力するアドレスコントロール回路と、クロック信号に同期して、アドレスコントロール回路から出力された R・G・B データを入力してアドレス指定されたデータ電極に、指定された R・G・B データを受信するデータ I C と、前記表示セルが放電するときには、放電電流の電力を回収し、表示セルが充電されるときには回収した電力を放出する電力回収回路と、電力回収回路が電力を回収し、および電力を放出するタイミングを制御するタイミング制御回路とを有するプラズマディスプレイパネルの駆動回路において、

R・G・B データを入力し、表示レベル、すなわち、表示セルを点灯させる論理レベルをもつ R・G・B データの、任意に設定された単位時間当たりの総数、すなわち表示セルの点灯率を演算し、表示セルの点灯率が所定の上限値より高く、または所定の下限値より低い第 1 の点灯率領域に属するときには第 1 の論理レベルの回収制御信号をタイミング制御回路に出力し、該点灯率が前記下

限値以上で上限値以下の第 2 の点灯率領域に属するときには、第 2 の論理レベルの回収制御信号をタイミング制御回路に出力する点灯率検出回路を有し、前記タイミング制御回路は、第 1 の論理レベルの回収制御信号を受信した場合には前記電力回収回路を制御して電力の回収または電力の放出を非動作にし、第 2 の論理レベルの回収制御信号を受信した場合には、電力回収回路を制御して電力の回収動作および電力の放出動作を実行させることを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項 2】 前記点灯率検出回路は、前記 R・G・B データを入力して点灯率を演算する点灯率演算部と、点灯率が前記第 1 の点灯率領域に属するか前記第 2 の点灯率領域に属するかを判定し、当該点灯率が第 1 の点灯率領域に属するときには第 1 の論理レベルの回収制御信号を前記タイミング制御回路に出力し、当該点灯率が第 2 の点灯率領域に属するときには第 2 の論理レベルの回収制御信号を前記タイミング制御回路に出力する点灯率判定部を有する請求項 1 に記載の装置。

【請求項 3】 前記点灯率演算部は、R・G・B データを入力し、前記表示レベルをもつ R・G・B データを検出したときには表示パルスを出力する表示信号検出回路と、前記表示パルスを計数するカウンタと、前記カウンタの出力から所定の時間当たりの全カラーの表示パルスの総数を計算する加算器とを有する請求項 2 に記載の装置。

【請求項 4】 前記点灯率判定部は、前記加算器から出力される表示パルスの総数を前記所定の上限値と比較する第 1 のコンパレータと、前記加算器から出力され表示パルスの総数を前記所定の下限値と比較する第 2 のコン

パレータと、第 1、第 2 のコンパレータの出力を入力して前記回収制御信号を出力するゲート回路を有する、請求項 2 に記載の装置。

【請求項 5】 前記表示信号検出回路は D フリップフロップである請求項 3 に記載の装置。

【請求項 6】 クロック信号に同期してプラズマディスプレイパネルのアドレス指定された表示セルに書き込む R・G・B データを入力して指定されたデータ電極に、指定された R・G・B データを受信するデータ I C と、前記表示セルが放電するときには、放電電流の電力を回収し、表示セルが充電されるときには回収した電力を放出する電力回収回路と、電力回収回路が電力を回収し、および電力を放出するタイミングを制御するタイミング制御回路とを有するプラズマディスプレイパネルの駆動回路において、

前記データ I C と電力回収回路とによって消費される電力を検出し、検出された消費電力が、設定された基準値以下のときには第 1 の論理レベルの回収制御信号をタイミング制御回路に出力し、検出された消費電力が設定された基準値より高いときには第 2 の論理レベルの回収制御信号をタイミング制御回路に出力する消費電力検出回路を有し、

前記タイミング制御回路は、第 1 の論理レベルの回収制御信号を受信した場合には前記電力回収回路を制御して電力の回収または電力の放出を非動作にし、第 2 の論理レベルの回収制御信号を受信した場合には、電力回収回路を制御して電力の回収および電力の放出を実行させることを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項 7】 前記消費電力検出回路は、データ I C と電力回収回路との間の、電力を回収し放出する電流路に接続され、該消費電力検出回路は、データ I C と電力回収回路との間の、電力を回収し放出する電流路に直列に接続されている抵抗体と、該抵抗体の両端電圧を所定時間当たりについて積分する積分回路と、積分回路による積分結果を前記所定の基準値と比較し、その積分結果が前記所定の基準値以下の場合には第 1 の論理レベルの回収制御信号を出力し、前記積分結果が前記所定の基準値より高い場合には第 2 の論理レベルの回収制御信号を出力するコンパレータを有する、請求項 6 に記載の装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は表示パネル駆動回路に関し、特に、プラズマディスプレイパネル (PDP) のように容量性発光セルでなる表示パネルの充放電電力の回収および再利用機能を有する表示パネル駆動回路に関する。

## 【0002】

【従来の技術】 PDP の表示セルへの充放電電力の回収と再利用をするための電力回収回路は、特にデータ I C

## 3

(データ電極ドライバー)による電力消費を抑え、さらにその消費電力を補償するために構成されている。このような、表示セルへの充放電電力の回収と再利用は、近年の省エネルギー化の傾向と、表示画像の高精細化、高輝度化に伴う消費電力の上昇を抑制するために要求されている。

【0003】この要求に応えるために、例えば、特開平9-146490にはデータICへ電力を供給する電源の電力回収を行う表示パネル駆動回路が開示されている。

【0004】この先行技術文献に開示されている手法は、表示セルへの充放電電力の回収と再利用を電極毎に個別に並行して行い、維持放電期間ばかりでなくデータ書き込み期間にも電力削減を図ることを意図している。以下、この技術を公報記載技術と記す。

【0005】この先行技術においては、PDPの電極から回収電流を回収し、回収した電力を再利用する周期にほぼ等しい固有周期をもつ直列共振LC回路を、複数の単位電極ドライバー共用の回収電力蓄積部として備えている。各単位電極ドライバーは第1、第2、第3、第4のスイッチを備えている。走査電極またはデータ電極から流れる回収電流は第1のスイッチによって回収電力蓄積部に導通される。また、回収電力放出期間(維持放電期間およびデータ書き込み期間)には回収電力は第2のスイッチを介して回収電力蓄積部から個別の表示用電極または表示セルに供給される。第3のスイッチおよび第4のスイッチは、電流経路の抵抗成分による電力消費、並びに、データ電極および走査電極による電力消費によって走査パルスまたはデータパルスがそれぞれ走査パルスレベルまたはデータパルスレベルに達しなくなり、または基底レベル(通常は接地レベル)に達しなくなることを防止するために走査電極またはデータ電極をそれぞれのパルス電圧源、基底電圧源に接続する。

【0006】この公報記載技術の第1の長所は走査電極毎およびデータ電極毎に電極ドライバーを設け、各電極ドライバーにおいて電力回収動作と電力放出動作を同時に並行して行うことができるようにスイッチの開閉タイミングを制御することによって、維持駆動期間のみならず、表示データ書き込み期間においても電力の回収と再利用を行うことができる点にある。

【0007】また、この公報記載技術の第2の長所は、複数の単位電極ドライバーに対して単一のコイル(共振回路用コイル)を用いることによって単位電極ドライバーの数が多くてもコイルの占める体積を低減させた点にある。

【0008】

【発明が解決しようとする課題】前掲の公報記載技術は、維持駆動期間のみならず、表示データ書き込み期間においても電力の回収と再利用を行うことができるので、表示セルの点灯率が通常の値を示す場合には表示電

## 4

極ドライバーの消費電力削減に有効である。しかし、この公報記載技術には、表示セルの点灯率によっては電力回収動作を行うことが、逆に電力を消費してしまう場合があるという問題点がある。

【0009】例えば表示セルの点灯率が特に高い場合、すなわち、点灯するセルが多い場合にはデータICのデータ電極のうち、ハイレベル状態をとる電極数が多くなる。この状態でこのデータICのハイレベル状態のデータ電極がローレベル状態に移移したときには、電力回収動作を行うための回路やデータICの抵抗分によって多数の表示セルから回収される電流の損失が生じてしまう。データICの出力は、データ電極がハイレベルを維持している期間には電力損失はゼロであるから、表示率が高い場合には、電力回収回路を動作させることが、かえって、消費電力を増加させることになる。また、表示率が低い場合には回収する電力が無くても回収回路が動作するので回収回路での無用な電力消費を生じてしまう(後述の図5参照)。

【0010】本発明の目的は、表示パネルの表示率が高い場合、および低い場合に非効率的な電力回収動作を行って無用な電力を生じることがなく効率的な電力回収及び回収電力の再利用をすることができるPDP駆動回路を提供することにある。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1のPDP駆動回路は、クロック信号に同期してPDPのアドレス指定された表示セルに書き込むR・G・Bデータを出力するアドレスコントロール回路と、クロック信号に同期して、アドレスコントロール回路から出力されたR・G・Bデータを入力してアドレス指定されたデータ電極に、指定されたR・G・Bデータを受信するデータICと、表示セルが放電するときには、放電電流の電力を回収し、表示セルが充電されるときには回収した電力を放出する電力回収回路と、電力回収回路が電力を回収し、および電力を放出するタイミングを制御するタイミング制御回路とを有するPDPの駆動回路であって、R・G・Bデータを入力し、表示レベル、すなわち、表示セルを点灯させる論理レベルをもつR・G・Bデータの、任意に設定された単位時間当たりの総数、すなわち表示セルの点灯率を演算し、表示セルの点灯率が所定の上限值より高く、または所定の下限值より低い第1の点灯率領域に属するときには第1の論理レベルの回収制御信号をタイミング制御回路に出力し、該点灯率が前記下限値以上で上限値以下の第2の点灯率領域に属するときには、第2の論理レベルの回収制御信号をタイミング制御回路に出力する点灯率検出回路を有し、タイミング制御回路は、第1の論理レベルの回収制御信号を受信した場合には電力回収回路を制御して電力の回収または電力の放出を非動作にし、第2の論理レベルの回収制御信号を受信した場合には、電力回収回路を

制御して電力の回収動作および電力の放出動作を実行させる。

【0012】本発明の第2のPDP駆動回路は、クロック信号に同期してプラズマディスプレイパネルのアドレス指定された表示セルに書き込むR・G・Bデータを入力して指定されたデータ電極に、指定されたR・G・Bデータを受信するデータICと、前記表示セルが放電するときには、放電電流の電力を回収し、表示セルが充電されるときには回収した電力を放出する電力回収回路と、電力回収回路が電力を回収し、および電力を放出するタイミングを制御するタイミング制御回路とを有するプラズマディスプレイパネルの駆動回路であって、データICと電力回収回路とによって消費される電力を検出し、検出された消費電力が設定された基準値以下のときには第1の論理レベルの回収制御信号をタイミング制御回路に出力し、検出された消費電力が設定された基準値より高いときには第2の論理レベルの回収制御信号をタイミング制御回路に出力する消費電力検出回路を有し、タイミング制御回路は、第1の論理レベルの回収制御信号を受信した場合には電力回収回路を制御して電力の回収または電力の放出を非動作にし、第2の論理レベルの回収制御信号を受信した場合には、電力回収回路を制御して電力の回収および電力の放出を実行させる。

【0013】消費電力検出回路の一実施形態として、消費電力検出回路はデータICと電力回収回路との間の、電力を回収し放出する電流路に接続される。この場合には、消費電力検出回路は、データICと電力回収回路との間の、電力を回収し放出する電流路に直列に接続されている抵抗体と、該抵抗体の両端電圧を所定時間当たりについて積分する積分回路と、積分回路による積分結果を前記所定の基準値と比較し、その積分結果が前記所定の基準値以下の場合には第1の論理レベルの回収制御信号を出力し、前記積分結果が前記所定の基準値より高い場合には第2の論理レベルの回収制御信号を出力するコンパレータを備えている。

#### 【0014】

【作用】本発明の第1のPDP駆動回路においては、データICに入力されるR・G・Bデータのうち、表示レベルをもつR・G・Bデータの単位時間当たりの総数、すなわち、点灯率を求め、点灯率が所定の上限値より高い場合（後述の図5では点灯率が90%以上の場合）、または所定の下限値よりも低い場合（図5では点灯率が10%以下の場合）を電力回収効率が低い場合と見做し、電力回収回路による電力回収を抑止する。ここで、表示レベルとは、表示セルにプラズマを生じさせる（表示セルを点灯させる）ようにデータ電極電圧を制御する論理レベルである。

【0015】本発明の第2のPDP駆動回路は、データICと電力回収回路による消費電力を直接的に検出して、消費電力が設定された基準値以下のとき（図5では

データIC消費電力相対値が10%以下のとき）には電力回収回路による電力回収を抑止する。

【0016】第2のPDP駆動回路の前掲の実施形態による消費電力の検出は次の原理による。もし、データICと電力回収回路による電力消費が無ければ、電力回収回路によって回収された電力を点灯のために再利用するとき、データ電極には設定された電圧レベルのパルスが印加される筈である。そうして、この場合には、データICから電力回収回路に回収される電流（回収電流）と、点灯時に電力回収回路からデータICに放出される電流（放出電流）とは大きさが等しく、逆向きになる。したがって、この電流を抵抗体に流してその両端の電圧を整数周期の期間にわたって積分すると、その積分結果はゼロになる。

【0017】しかし、通常はデータICと電力回収回路による電力消費があるので、電力回収回路によって回収された電力を点灯のために再利用するとき、データ電極に印加されるパルスレベルは所定の電圧レベルには達しない。したがって、データ電極に設定されたレベルのパルスを印加するために、通常は、電力回収回路からデータICに電流が放出される期間（表示セルを充電する期間）、すなわち、充電期間の終了時にデータ電極を補償電源（クランプ電源）に接続して電力消費に起因するパルスレベルの不足分を補償する。その結果、前記の抵抗体の両端電圧は、前記補償電源によって補償された電力分だけ、回収期間と充電期間との間に不均衡を生じる。したがって、この両端電圧を所定期間にわたって積分すると、ゼロでない積分値を得る。この積分値はデータICと電力回収回路とによる電力損失に該当する。

#### 【0018】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。図1は、本発明のPDP駆動回路の第1の実施形態を示すブロック図である。本実施形態のPDP駆動回路はアドレスコントロール回路1、データIC2、回収回路3、タイミング制御回路4、表示セル点灯率検出回路（以下、点灯率検出回路と記す）5を備えている。

【0019】アドレスコントロール回路1はクロック信号に同期してPDPのアドレス指定された表示セル（図示せず）に書き込むR・G・Bデータを出力する。データIC2はクロック信号に同期してアドレスコントロール回路1から出力されたR・G・Bデータを入力し、指定されたアドレスのデータ電極に、指定されたR・G・Bデータを印加する。点灯率検出回路5は、データIC2に入力されるR・G・Bデータを入力し、任意に設定された単位時間毎のハイレベルデータ（表示セルのプラズマ状態を指定する論理レベルの制御信号）の総数、すなわち表示セルの点灯率を演算し、表示セルの点灯率が所定の上限以上および所定の下限以下のときには回収回路3の非動作状態を指定し、該点灯率が前記下限以上で

上限以下のときには回収回路3の動作状態を指定する回収制御信号Srecを出力する。

【0020】タイミング制御回路4はクロックと回収制御信号Srecを入力し、回収制御信号Srecが、回収回路3における回収・放出動作の非能動状態を指定する第1の論理レベルのときには回収回路3の電力放出動作および電力回収動作のタイミング（電力放出動作および電力回収動作の期間）を制御する制御信号Sw1、Sw2を非能動にし、かつ、回収回路3がデータIC2にデータ電極の電源電圧を供給するタイミングを制御する制御信号Sw3を能動にする。タイミング制御回路4は、回収制御信号Srecが、回収回路3の動作状態を指定する第2の論理レベルのときには、制御信号Sw1、Sw2および制御信号Sw3を能動にする。

【0021】回収回路3は、制御信号Sw2が能動にされた場合においてデータ電極がハイレベルからローレベルになったとき、当該表示セルからの放電電流を回収して蓄積する。回収回路3は、制御信号Sw1が能動にされた場合においてデータ電極がローレベルからハイレベルになったときには、蓄積している回収電力を当該表示セルに放出する。回収回路3は、制御信号Sw3が能動にされた場合には、所定のタイミングでデータ電極に所定のパルスレベルまたは所定の基底レベルを与える電圧源にデータ電極を接続する。したがって、回収回路3は、表示セルの点灯率が所定の上限值より高いとき、および所定の下限值より低いときには回収回路の回収・放出動作を非能動状態にし、該点灯率が前記下限値以上で上限値以下のときには回収回路の回収・放出動作を能動状態にする。

【0022】点灯率検出回路5は点灯率演算部6と点灯率判定部7とを備えている。点灯率演算部6はB・R・Gデータを入力し、所定の単位時間当たりの、ハイレベル（表示セルを点灯させる制御信号レベル）のB・R・Gデータの総数を演算し、その演算結果を点灯率として出力する。そのために、点灯率演算部6は表示信号検出回路8、カウンタ9、加算器10を備えている。表示信号検出回路8はB・R・Gデータを入力し、各色毎にデータの論理レベルをクロックに同期して検出し、ハイレベルを検出したときにはパルスを出力する。カウンタ9は表示信号検出回路8の各色毎のパルスを計数する。加算器10は、カウンタ9によって計数された各色毎のパルス数を所定の単位時間当たりについて加算し、点灯率として出力する。

【0023】点灯率判定部7は点灯率演算部6から出力される点灯率を入力し、該点灯率が設定された最大値maxより高く、または設定された最小値minより低いときには第1の論理レベルの回収制御信号Srecを出力し、点灯率が最小値min以上で、かつ、最大値max以下のときには第2の論理レベルの回収制御信号Srecを出力する。

点灯率判定部7はコンパレータ11および12、ORゲ

ート13によって構成されている。コンパレータ11の反転入力端子には最大値maxが接続され、コンパレータ12の非反転入力端子には最小値minが接続されている。コンパレータ11の非反転入力端子およびコンパレータ12の反転入力端子には、点灯率演算部6によって演算された点灯率が入力されている。なお、本実施例においては、回収制御信号Srecの第1の論理レベルはハイレベルであり、第2の論理レベルはローレベルである。

【0024】図2は本実施形態の表示信号検出回路8の構成図である。本実施形態の表示信号検出回路8は、B・R・Gデータを色毎に入力するDフリップフロップ（DF/F）によって構成されている。このDF/Fのクロック入力端子にはアドレスコントロール回路1に入力されたクロックと同一のクロックが入力される。Q出力がカウンタ9に入力される。

【0025】図3は本実施形態の回収回路3の回路図である。回収回路3はスイッチSW1と電流の逆流阻止用のダイオード41、スイッチSW2と逆流阻止用のダイオード42、データ電極に所定レベルの電圧を与える電圧クランプ用電源にデータICを接続するスイッチSW3、回収電力を蓄積する容量CおよびコイルLを備えている。容量CとコイルLとは実質的に直列共振回路を構成し、その共振周期は、表示セルへの充放電の周期とほぼ等しくなるように設定されている。図中抵抗Rは、データIC、および、回収電流と放出電流との電流経路の実効抵抗で、PDP駆動回路はこの抵抗で電力損失を生じる。

【0026】図1の制御信号Sw1、Sw2、Sw3はそれぞれ図3のスイッチSW1、SW2、SW3を開閉制御する。回収制御信号Srecがハイレベルのときには、スイッチSW1、SW2のうちの少なくとも1つがオフ状態で、SW1、SW2の状態は固定され、スイッチ3はオン状態で固定される。したがって、R・G・BデータはデータICから表示マトリクスに入力されるけれども、回収動作は非能動状態になる。その結果、不必要な回収動作を行わず、消費電力を減らすことができる。

【0027】図4は回収制御信号Srecがローレベルの場合のスイッチSW1、SW2、SW3の動作を示すタイミング図である。まず、図の左端の期間から説明する。この期間にはスイッチSW1がオンからオフに遷移し、次に点灯する表示セルへの回収電力の放出（次の表示セルの充電）が終了する。しかし、電流経路の抵抗損およびデータICの電力損失によって、放出された回収電力のみでは当該表示セルを駆動するデータ電極の電圧レベルを所定の値に到達させることができない。そのため、スイッチSW3をオンにしてクランプ用電源と当該データ電極とを接続し、電圧レベルの不足分を補償する。この間に、表示セルのデータ電極と走査電極間の電

圧が放電閾値に達すると表示セルの放電（点灯）が開始される。スイッチSW3がオンの期間はクランプ期間と呼ばれている。

【0028】クランプ期間が終了すると、スイッチSW2がオンになって回収期間T1が開始される。このとき、コイルLの自己誘導のために、回収期間が開始されても直ちに回収電流が容量Cに蓄積されるわけではない。しかし、コイルLと容量Cの直列共振周期をほぼ回収期間に等しく設定してあるので表示セルからの放電電流の回収は、この回収期間にほぼ終了する。

【0029】次に、スイッチSW1がオンになって、充電期間（表示セルへの充電期間）T2が開始される。本実施形態では、LC共振周期で電力回収と放出を行うために、この期間には、スイッチSW1とスイッチSW2とを共にオンにする。（このように、回収電流回路のスイッチSW2と充電電流回路（容量Cからの放出電流の回路）のスイッチSW1とを同時に導通状態にするのは次の理由による。もともと、回収電流と充電電流とは独立な電流ではなく、LC直列共振回路の振動電流である。容量Cに向かう回収電流が容量Cに蓄積された後に、今度は容量Cから放出されて充電電流になる折り返し時点で回収期間を終了して充電期間を開始するためには、その折り返し時点の近傍のある時間幅では、回収電流回路と充電電流回路の両方を導通状態にする必要があるからである。）次に、スイッチSW2がオフになると、スイッチSW3をオンにしてクランプ期間を開始する。回収制御信号Srecがローレベルのときには回収回路は上記の動作を繰り返す。

【0030】以下、本実施形態の動作について説明する。アドレスコントロール回路1からのR・G・B各データ信号及び各セル毎のクロックは表示信号検出回路8に30 入力され、入力信号がハイレベルの場合（表示信号の場合）には表示信号検出回路8はハイレベルを出力する。この出力信号はカウンタ9に送られ、ハイレベルのデータ信号の数が計数される。この計数結果は加算器10に送られR・G・B3色のハイレベルデータが加算される。次に点灯率判定部7にて、演算された点灯率が基準の点灯率（表示率）より低い、または基準の点灯率（表示率）より高いことが判定される。点灯率が基準の点灯率（表示率）より低い、または基準の点灯率より高い場合には、電力の回収を行っても回収効率が低いので、タイミ30 ング制御回路4の制御によって、回収回路3の回収動作が抑止される。

【0031】図5は表示率（点灯率）に対するデータICの消費電力相対値の一例を示すグラフである。図において電力回収が無い場合には、表示率が約50%までは消費電力は表示率に比例して上昇する。そして、表示率が約50%を過ぎると、消費電力は、今度は線形的に減少する。表示率が大きい場合に表示率の増加と共に消費電力が減少する理由は、前記したように、表示率が大き

いときには平均としてデータ電極がハイレベルを維持している時間が長く、データ電極がハイレベルを維持している期間には、データICの出力は損失がゼロであるからである。

【0032】図5の例では、表示率が約10%から約90%までは電力回収を行った場合には、電力回収を行わなかった場合よりも消費電力が格段に少ないけれど、表示率が約10%、および約90%で両方の消費電力曲線が交差し、表示率が10%以下、90%以上では、電力回収を行わない方が消費電力が少ないことがわかる。したがって、この図の例では、表示率10%を、電力回収を行う表示率の下限値MINに設定し、90%を電力回収を行う表示率の上限値MAXにとれば効率的な電力回収を達成することができる。

【0033】図6は本発明によるPDP駆動回路の第2の実施形態を示す回路図である。本実施形態のPDP駆動回路は、データIC62、回収回路63、タイミング制御回路64、消費電力検出回路65を備えている。このうち、データIC62、回収回路63、タイミング制御回路64は、図1のデータIC2、回収回路3、タイ30 ミング制御回路4と同一であるが、回収制御信号を生成する消費電力検出回路65が、第1の実施形態の点灯率検出回路5と異なっている。

【0034】消費電力検出回路は、データIC62と回収回路63との間の、電力を回収し放出する電流路に接続され、前記データIC62と回収回路63とによって消費される電力を検出し、検出された消費電力が、設定された基準値以下のときには第1の論理レベルの回収制御信号Srecをタイミング制御回路64に出力し、検出された消費電力が設定された基準値より高いときには第2の論理レベルの回収制御信号Srecをタイミング制御回路64に出力する。

【0035】前記タイミング制御回路は、第1の論理レベルの回収制御信号を受信した場合には回収回路63を制御して電力の回収または電力の放出を非動作にし、第2の論理レベルの回収制御信号を受信した場合には、電力回収回路を制御して電力の回収および電力の放出を実行させることは第1の実施形態と同様である。

【0036】消費電力検出回路65は抵抗体66、積分回路67、差動増幅器68、コンパレータ69を備えている。抵抗体66はデータIC62と回収回路63との間の、電力を回収し放出する電流路に直列に接続されている。積分回路67は抵抗体66の両端電圧を所定時間当たりについて積分する。差動増幅器68は積分回路による積分結果を増幅する。コンパレータ69は差動増幅器68の出力を所定の基準値VRと比較し、その比較結果が基準値VR以下の場合には第1の論理レベルの回収制御信号Srecを出力し、その比較結果が基準値VRより高い場合には第2の論理レベルの回収制御信号Srec 50 を出力する。本実施形態においては、コンパレータ69



の反転入力端子には差動増幅器 68 の出力が接続され、コンパレータ 69 の非反転入力端子には基準値 V<sub>R</sub> が接続されている。したがって、回収制御信号 S<sub>rec</sub> の第 1 の論理レベルはハイレベルであり、第 2 の論理レベルはローレベルである。

【0037】次に、本実施形態の動作を説明する。まず、データ IC と回収回路とによる電力消費が非常に少なく、ほぼ、ゼロの場合には、回収回路 63 によって回収された電力を、点灯のために再利用するとき、データ電極には設定された電圧レベルのパルスが印加される。この場合には、データ IC 62 から回収回路 63 に回収される電流（回収電流）と、点灯のために回収回路 63 からデータ IC 62 に放出される電流（放出電流）とは大きさが等しく、逆向きになる。したがって、この電流によって抵抗体 66 の両端に生じる電圧を整数周期の期間にわたって積分すると、その積分結果は略ゼロになる。データ IC 62 と回収回路 63 による電力消費が大きい場合には、回収回路によって回収された電力を点灯のために再利用するとき、データ電極に印加されるパルスは所定のパルスレベルに達しない。したがって、データ電極には設定された電圧レベルのパルスを印加するために、通常は、回収回路 63 からデータ IC 62 に電流が放出される期間（表示セルを充電する期間、）、すなわち、図 4 の充電期間 T2 の終了時にデータ電極を補償電源（クランプ電源、図 3、図 6 のスイッチ SW3 に接続されている電源）に接続して、電力消費に起因するパルスレベルの不足分を補償する（図 4 のクランプ期間 T3）。したがって、抵抗体 66 の両端電圧は、補償電源によって与えられた電力分だけ、回収期間と充電期間との間に不均衡を生じる。その結果、この両端電圧を所定期間にわたって積分すると、ゼロでない積分値を得る。この積分値はデータ IC 62 と回収回路 63 とによる電力損失に該当する。

【0038】図 6 の実施例では、基準値 V<sub>R</sub> として消費電力相対値 10% に該当する電圧を用いることによって電力消費の特に低い場合（図 5 の表示率が MIN 以下、または MAX 以上）には、回収回路 63 を非動作する。このようにして、常に消費電力を監視し、回収回路の動作による不要な充放電によって生じる不要な電力消費を抑えることができる。

【0039】

【発明の効果】以上説明したように、本発明は次の効果を有する。点灯率検出回路を設けて常に表示セルの点灯

率を監視することによって、表示パネルの表示率が高い場合、および低い場合に非効率的な電力回収動作を行って無用な電力を生じることがなく効率的な電力回収及び回収電力の再利用をすることができる。消費電力検出回路を設けてデータ IC および電力回収回路の消費電力を常に監視することによって、電力消費が少ない場合に非効率的な電力回収動作を行って無用な電力を生じることがなく効率的な電力回収及び回収電力の再利用をすることができる。

#### 10 【図面の簡単な説明】

【図 1】本発明の PDP 駆動回路の第 1 の実施形態を示すブロック図である。

【図 2】第 1 の実施形態の表示信号検出回路の構成図である。

【図 3】第 1 の実施形態の回収回路の回路図である。

【図 4】回収制御信号 S<sub>rec</sub> がローレベルの場合のスイッチ SW1、SW2、SW3 の動作を示すタイミング図である。

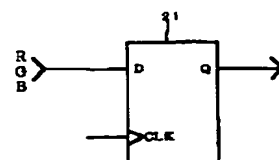
20 【図 5】表示率（点灯率）に対するデータ IC の消費電力相対値の一例を示すグラフである。

【図 6】本発明による PDP 駆動回路の第 2 の実施形態を示す回路図である。

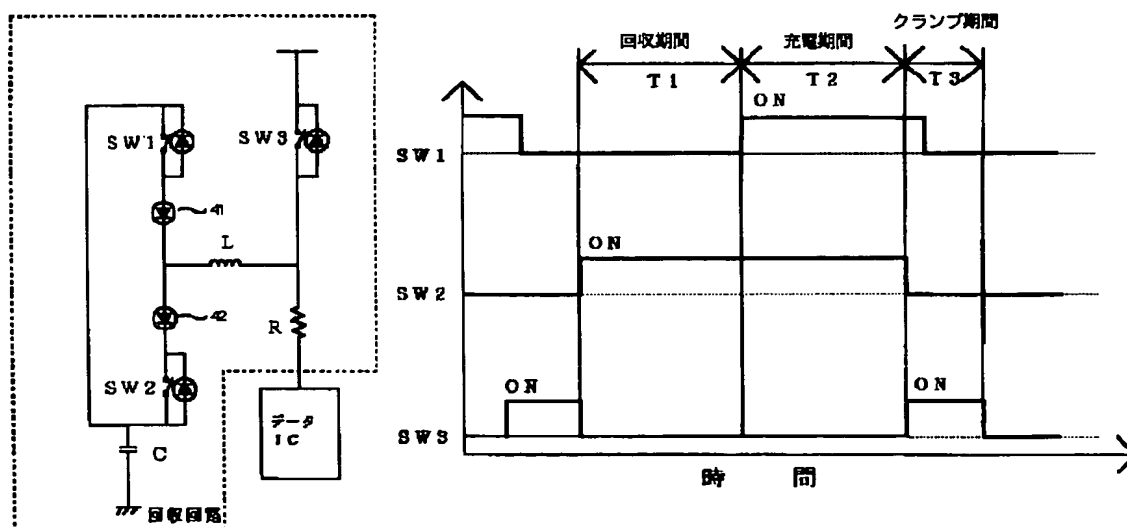
#### 【符号の説明】

- 1 アドレスコントロール回路
- 2、62 データ IC
- 3、63 回収回路
- 4、64 タイミング制御回路
- 5 点灯率検出回路
- 6 点灯率演算部
- 7 点灯率判定部
- 8 表示信号検出回路
- 9 カウンター
- 10 加算器
- 11、12 コンパレータ
- 13 OR 回路
- 21 フリップフロップ回路
- 41、42 逆流阻止用ダイオード
- 65 消費電力検出回路
- 66 抵抗体
- 40 67 積分回路
- 68 差動増幅器
- 69 コンパレータ

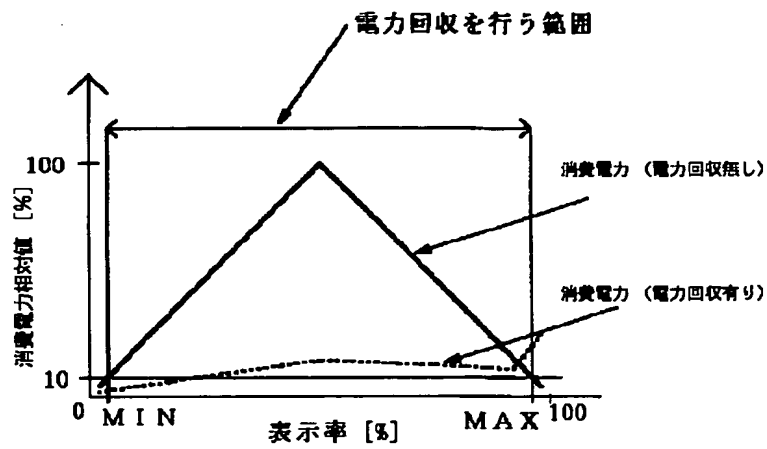
【图 2】



【图 4】



【図 5】



【図 6】

